

**LIGHT EMITTER**

Patent Number: JP2263668  
Publication date: 1990-10-26  
Inventor(s): KUSUDA YUKIHISA; others: 03  
Applicant(s): NIPPON SHEET GLASS CO LTD  
Requested Patent: JP2263668  
Application Number: JP19890192161 19890725  
Priority Number(s):  
IPC Classification: B41J2/45; B41J2/455; H01L27/10; H01L27/15; H01L33/00  
EC Classification:  
Equivalents: JP2577089B2

**Abstract**

**PURPOSE:** To interrupt a bias light generated from a scanning circuit to prevent a deterioration in image quality by a method wherein a line that is provided on light-emitting elements for applying an electric current for the emission of light is used as a clock line for controlling an emission of light, and the scanning circuit and the light-emitting elements are separated from each other.

**CONSTITUTION:** A light emitter consists of transfer elements T(-1)-T(2) and writing light-emitting elements L(-1)-L(2). Gate electrodes G-1-G1 of the transfer elements are also connected to gates of the writing light-emitting elements. A writing signals Sin is applied to anodes of the writing light-emitting elements. For example, when the transfer element T(0) is in an ON state, the voltage of the gate electrode Go lowers to be less than VGK (that is estimated to be 5V, in this case) to become approximately zero. Therefore, the voltage of the writing signal Sin not less than a diffusion voltage (approximately 1V) in a pn jointing can make the light-emitting element L(0) in a light emitting state. In this manner, a light emitting strength is determined by an amount of electric current to flow to the writing signal Sin, and an image can be written with an arbitrary strength.

Data supplied from the esp@cenet database - I2

⑫ 公開特許公報(A)

平2-263668

⑬ Int.Cl.

B 41 J 2/45  
2/455

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)10月26日

7612-2C B 41 J 3/21

L※

審査請求 未請求 請求項の数 4 (全16頁)

⑮ 発明の名称 発光装置

⑯ 特 願 平1-192161

⑰ 出 願 平1(1989)7月25日

優先権主張 ⑱ 昭63(1988)11月10日 ⑲ 日本(JP) ⑳ 特願 昭63-284338

㉑ 発 明 者 楠 田 幸 久 大阪府大阪市中央区道修町3丁目5番11号 日本板硝子株式会社内

㉒ 発 明 者 刀 根 潔 大阪府大阪市中央区道修町3丁目5番11号 日本板硝子株式会社内

㉓ 発 明 者 山 下 達 大阪府大阪市中央区道修町3丁目5番11号 日本板硝子株式会社内

㉔ 出 願 人 日本板硝子株式会社 大阪府大阪市中央区道修町3丁目5番11号

㉕ 代 理 人 弁理士 大野 精市

最終頁に続く

明 細 書

1. 発明の名称

発光装置

2. 特許請求の範囲

(1) 大きい電圧もしくは大きい電流が外部から制御可能な制御電圧を有するスイッチ素子多数個を配列したスイッチ素子アレイの各スイッチ素子の制御電極を互いに電気的手段もしくは光学的手段にて接続すると共に各スイッチ素子に電源ラインを電気的手段を用いて接続し、かつ各スイッチ素子にクロックラインを接続して形成した自己走査アレイと、

大きい電圧もしくは大きい電流が外部から制御可能な制御電圧を有する発光素子多数個を配列した発光素子アレイとからなり、

該発光素子アレイの各制御電極を前記スイッチ素子の制御電極と電気的手段にて接続し、発光素子に発光のための電流を印加するラインを設けた発光装置。

(2) 該発光素子に設けた発光のための電流を印

加するラインが、該発光素子の発光を制御するクロックラインである請求項1記載の発光装置。

(3) 該発光素子アレイが、複数の発光素子のブロックに分割され、各ブロック内の発光素子の制御電極全てが、各ブロックに対して1つつつ配置された1つの前記スイッチ素子の制御電極と各々電気的手段にて接続され、複数の発光のための電流を印加するラインが1ブロック内の発光素子に接続されている請求項1または2記載の発光装置。

(4) 大きい電圧もしくは大きい電流が外部から制御可能な制御電圧を有するスイッチ素子多数個を配列したスイッチ素子アレイの各スイッチ素子の制御電極を互いに電気的手段もしくは光学的手段にて接続すると共に各スイッチ素子に電源ラインを電気的手段を用いて接続し、かつ各スイッチ素子にクロックラインを接続して形成した自己走査アレイと、

メモリ機能を有する発光メモリ素子アレイと、

該自己走査アレイに接続した、信号を該発光メモリ素子アレイに書き込む書き込みスイッチアレ

いと、

該発光メモリ素子アレイをリセットするリセットスイッチアレイとからなる、

自己走査機構を用いて動作を行なう発光装置、

### 3. 発明の詳細な説明

#### 【産業上の利用分野】

本発明は、同一基体上に集積して作製でき、自己走査機構を発揮できる発光装置の改良に関し、特にバイアス光を減少させたり、長寿命化を実現して光プリンタ等へ応用を可能にした発光装置に関する。

#### 【従来の技術】

発光素子の代表的なものとしてLED (Light Emitting Diode) 及びLD (Laser Diode) が知られている。

LEDは化合物半導体 (GaAs, GaP, AlGaAs, InGaAsP, InGaAlAs等) のPNまたはPIN接合を形成し、これに順方向電圧を加えることにより接合内部にキャリアを注入し、その再結合の過程で生じる発光現象を利用するもので

したもので通常のサイリスタとまったく同じ構成である。第19図はゲートD<sub>g</sub>をオープンにした状態でのアノード電圧とアノード電流との関係を示したものであり、通常のサイリスタとまったく同じS字形負性抵抗を表している。ゲートD<sub>g</sub>はON電圧を制御する働きを持ち、ON電圧はゲート電圧に放電電位を加えた電圧となる。従って第19図のON電圧がゲート電圧により自由に制御することができる。またONした後、ゲート電位はカソードD<sub>s</sub>電位とほぼ一致するようになる。カソード電極が接地されていればゲート電極は零ボルトとなる。またこの発光サイリスタは外部から光を入射することによりそのON電圧が低下することが知られている。

さらにこの発光サイリスタの中に導波路を設けLDとまったく同じ原理でレーザサイリスタを形成することもできる。(Y. Tashiro et. al. Appl. Phys. Lett. 54(4), 1989 pp329-331)

これらの様な発光素子、特にLEDは化合物半導体基板上に多数個作られ、切断されて一つづつ

ある。

またLDはこのLED内部に導波路を設けた構造となっている。あるしきい値電流以上の電流を流すと注入される電子-正孔対が増加し反転分布状態となり、誘導放射による光子の増倍(利得)が発生し、へき面などを利用した平行な反射鏡で発生した光が再び活性層に帰還されレーザ発振が起こる。そして導波路の端面からレーザ光が出ていくものである。

これらLED、LDと同じ発光メカニズムを有する発光素子として発光機構を持つ負性抵抗素子(発光サイリスタ、レーザサイリスタ等)も知られている。発光サイリスタは先に述べたような化合物半導体でPNPN構造を作るものであり、シリコンではサイリスタとして実用化されている。

(青木昌治編著、「発光ダイオード」工業調査会、pp167~169参照)

この発光サイリスタの基本構造及び電流-電圧特性を第19図、第20図に示す。第20図に示す構造はN形GaAs基板上にPNPN構造を形成

の発光素子としてパッケージングされ販売されている。また密着イメージセンサ用及びプリンタ用光源としてのLEDは一つのチップ上に複数個のLEDを並べたLEDアレイとして販売されている。

一方密着形イメージセンサ、LEDプリンタ等では読み取るポイント、書き込むポイントを指定するため、これら発光素子による発光点の走査機構(光走査機構)が必要である。

しかし、これらの従来の発光素子を用いて光走査を行なうためには、LEDアレイの一つ一つのLEDをワイヤボンディング等の技術により駆動ICに接続し、このICで一つ一つのLEDを駆動させてやる必要があった。このためLEDの数が多の場合、同数のワイヤボンディングが必要で、かつ、駆動ICも数多く必要となりコストが高くなってしまいうという問題点があった。これは駆動ICを設置するスペースを確保することが必要となり、コンパクト化が困難という問題点を誘発していた。またLEDを並べるピッチもワイヤボン

ディングの技術で定まり、短ピッチ化が難しいという問題点があった。

発明者らは先に発光素子アレイ自身に自己走査機構をもたせることにより、ワイヤボンディングの数の問題、駆動ICの問題、コンパクト化、短ピッチ化の問題を解決した。(例えば特願第63-85392)上記発光装置の概略を断面を参照しながら以下簡単に記す。

第12図は平面図であり、このX-X'ラインにそっての断面図が第13図、Y-Y'ラインにそっての断面図が第14図である。また等価回路を第15図に示す。

第13図において、発光素子はn形GaAs基板(1)上に積層したn形GaAs層(24b)、n形AlGaAs層(24a)、p形GaAs層(23a)、n形GaAs層(22a)、p形AlGaAs層(21b)、およびp形GaAs層(21a)からなっている。これは活性層であるp形GaAs層(23a)、n形GaAs層(22a)へキャリアを閉じ込めるため、バンド幅の大きいAlGaAs層(21b)、(24a)で活性層を挟んだ構造あり、これによ

り発光効率を向上させることができる。ここで発光素子Tに対して基板(1)はカソードとなり、n層(22)はゲート、p層(21)はアノードとなる。各発光素子T上には、絶縁保護被膜(31)が被覆され、各々に分離される。

各発光素子のゲート(22)は、絶縁保護被膜(30)に設けられたコンタクト孔C1、絶縁保護被膜(30)上に設けられた金属薄膜配線(41)、絶縁保護被膜(30)に設けられたコンタクト孔C3、n形GaAs基板(1)上に積層されて発光素子群と分離されたn形GaAs層(22a)、コンタクト孔C3、金属薄膜配線(41)、コンタクト孔C1を介して各々接続されている。

各発光素子のアノード電極は、絶縁保護被膜(30)に設けられたコンタクト孔C1、絶縁保護被膜(30)上に設けられた金属薄膜配線(40)、金属薄膜配線(40)上の絶縁保護被膜(31)に設けられたコンタクト孔C2を介して転送クロックラインに接続される。転送クロックラインは $\phi_1$ 、 $\phi_2$ 、 $\phi_3$ の3本が形成され、各発光素子のアノード電極は、 $\phi$

1、 $\phi_2$ 、 $\phi_3$ のいずれか1本に、長さ方向に向かって $\phi_1$ 、 $\phi_2$ 、 $\phi_3$ の順番で繰り返す様に接続される。

また、各発光素子ゲート(22)は、絶縁保護被膜(30)に設けられたコンタクト孔C1、絶縁保護被膜(30)上に設けられた金属薄膜配線(41)、絶縁保護被膜(30)に設けられたコンタクト孔C3、n形GaAs基板(1)上に積層されて発光素子群と分離されたn形GaAs層(22a)、コンタクト孔C3、絶縁保護被膜(30)上に設けられた金属薄膜配線(42)を介して電源電圧 $V_{cc}$ に接続されている。

上記構造の発光装置の動作を説明すると、今転送クロックライン $\phi_1$ がハイレベル電圧となり発光素子T(0)がON状態になっているとする。このとき発光素子T(0)のノードG<sub>0</sub>はほぼ零ボルトとなっている。すると各発光素子のゲート電極を結合した抵抗ネットワークに電流が流れ、発光素子T(0)に近いノードが最も電圧が引き下げられ、離れていくほど影響は少なくなる。例えば次の転送クロック $\phi_1$ にハイレベル電圧が加わると、3素子おきの発光素子T(1)とT(2)がON可能となるが、

ノードG<sub>1</sub>のほうがノードG<sub>2</sub>より低い電圧となっているため、電源電圧を発光素子T(1)が動作する電圧より高く、かつ発光素子T(2)が動作する電圧より低く設定しておくと、発光素子T(1)のみをONさせることができる。この動作を繰り返すと、3本の転送クロックラインを用いて発光素子の走査を行なうことができる。

上記の様に、先に発明した発光装置は、発光素子のターンオン電圧または電流が、別の発光素子のON状態によって影響を受ける様、即ち、相互作用をするよう構成したことにより発光の自己走査機構を実現した物である。

一般に光プリンタに用いる発光装置は、発光点の移動だけでなく発光強度の制御が必要となる。上記自己走査型発光装置においては、以下の駆動方法により発光強度の制御も可能である。(例えば特願第63-85392)

この駆動方法の原理を第18図に示す。第10図の上に示した回路図では特に示されていないが、各発光素子のゲート端子は第15図または第

17図に示す様な電気的手段または光学的手段で接続されている。各発光素子のアノードには伝送クロックライン $\phi_1$ 、 $\phi_2$ 、 $\phi_3$ のいずれか1本が長手方向に $\phi_1$ 、 $\phi_2$ 、 $\phi_3$ の順番で繰り返し接続されている。伝送クロックライン $\phi_1$ 、 $\phi_2$ 、 $\phi_3$ には、各々電流源 $I_1$ 、 $I_2$ 、 $I_3$ が制御回路信号 $\phi_4$ により制御可能の様に接続され、発光素子T(0)にはスタートパルス $\phi_0$ が接続されている。

伝送クロックライン $\phi_1$ 、 $\phi_2$ 、 $\phi_3$ には、伝送パルスとして矩形信号が時刻tに対して各々遅れtで印可される。各伝送パルスはわずかな重なり時間を持つように設定される。

発光素子T(0)に矩形のスタートパルス $\phi_0$ を印可し、該スタートパルスにわずかな重なり時間を持つ伝送クロック $\phi_1$ 、引続き伝送クロック $\phi_2$ 、 $\phi_3$ 、 $\phi_1$ を繰り返し印可することにより、発光素子アレイは、自己走査を始めるが、ここで制御回路信号 $\phi_4$ に伝送クロック $\phi_1$ 、 $\phi_2$ 、 $\phi_3$ に同期した信号をおくり、伝送クロックに電流源 $I_1$ 、 $I_2$ 、 $I_3$ を乗せると自己走査により発光状態にある発光

素子を他の発光素子よりも強く発光させることができる。

第18図においては、ここでは発光素子T(3)の輝度を持に強くするよう、伝送クロック $\phi_3$ に電流源 $I_3$ を自己走査により発光素子T(3)が発光状態になる時刻tに受けている。

上記自己走査型発光装置は、このような方法によって任意の場所の輝度を上げることができ、光プリンタ等へ画像を書き込むことが可能となる。  
【発明が解決しようとする課題】

しかしながら、上記方式を用いると第18図の下に示す発光強度しから明かなように、画像書き込みをする素子T(3)以外の素子もある程度の発光（以下バイアス光と呼ぶ）をしている。これはON状態を伝送する際、ON状態を維持するための電流で発光が生じるためであり、光プリンタに使用した場合、全体にある程度の光が照射されてしまうことになる。このため画像の品位が悪化してしまうという問題点があった。

また従来の駆動方法では画像を書き込むため、

電流源を伝送クロックの数だけ作らねばならず、駆動回路部分が複雑で高価になるという問題点があった。

また、上記自己走査型発光装置においては、発光デューティが低いと平均的な発光強度が低く、強い発光を行なおうとすると寿命が短くなるという問題点があった。

すなわち、上記自己走査型発光装置においては、ON状態、即ち発光状態にある素子は、伝送クロックが流れている場合を除いて、常に一つづつであり、例えば1000ビットの発光装置を構成したとすると1ビットの発光時間は全体の発光の1/1000（発光デューティが1/1000）であるという問題があった。このためデューティが1の場合と同じ光量を得ようとするれば1000倍以上の電流を各発光素子に流す必要があり、これは単体発光素子の寿命を短くさせ、長寿命の発光装置を得ることが難しいという問題であった。

【課題を解決するための手段】

本発明は前記従来の問題点を解決するものである

って、しきい電圧もしくはしきい電流が外部から制御可能な制御電極を有するスイッチ素子多数個を配列したスイッチ素子アレイの各スイッチ素子の制御電極を互いに電気的手段もしくは光学的手段にて接続すると共に各スイッチ素子に電源ラインを電気的手段を用いて接続し、かつ各スイッチ素子にクロックラインを接続して形成した自己走査アレイと、

しきい電圧もしくはしきい電流が外部から制御可能な制御電極を有する発光素子多数個を配列した発光素子アレイとからなり、

発光素子アレイの各制御電極を前記スイッチ素子の制御電極と電気的手段にて接続し、各発光素子に発光のための電流を印加するラインを設けた発光装置である。

本発明によれば、該発光素子に設けた発光のための電流を印加するラインを、発光を制御するクロックラインとして使用するため、走査回路と発光素子とを分離し、走査回路より生じるバイアス光を低減することが可能となる。つまり発光素子に

は発光が必要な時刻のみ発光させることが可能となる。

また、走査回路と発光素子の基本的な構成は同一とすることができるので、製造工程がさほど複雑化せず、フォトリソストパターンを変更することにより、従来の素子の製造工程をそのまま利用することが出来る。

また、発光強度を、複数の発光素子からなるいくつかのブロックに分割し、各ブロック内の発光素子の制御電圧全てを各ブロックに対して1つつ配置された1つの前記スイッチ素子の制御電圧と各々電気的手段にて接続し、複数の発光のための電圧を印加するラインを1ブロック内の発光素子に接続することも可能であり、この方法によれば、発光強度の長寿命化を実現出来る。

また、しきい電圧もしくはしきい電流が外部から制御可能な制御電圧を有するスイッチ素子多数個を配列したスイッチ素子アレイの各スイッチ素子の制御電圧を互いに電気的手段もしくは光学的手段にて接続すると共に各スイッチ素子に電圧ラ

イを電気的手段を用いて接続し、かつスイッチ素子にクロックラインを接続して形成した自己走査アレイと、

メモリ機能を有する発光メモリ素子アレイと、

該自己走査アレイに接続した、信号を該発光メモリ素子アレイに書き込む書き込みスイッチアレイと、

該発光メモリ素子アレイをリセットするリセットスイッチアレイと、

を設けることも可能であり、この構成によれば、発光デューティをほぼ1とする事が出来、発光電流の削減および発光強度の長寿命化が実現出来る。

#### 【作用】

本発明では上記の様に、先の自己走査性発光装置を転送素子として使用し、ほぼ同一構造の別の発光素子アレイに発光機能を分離したため、転送機能と発光機能を明確に分離出来る。

そこで、バイアス光の原因となるON状態転送を行なう転送素子上部に光遮断層を設けることができ、バイアス光の画像書き込みに対する影響を

1図は本実施例の発光装置の概略を示す平面図、第2図は第1図のX-X'ラインの断面図である。層構成は第12図、第13図、第14図に示した従来の発光素子アレイと同じとしている。以下に製造工程および構造について説明する。

まず、n形GaAs基板(1)上に、n形GaAs層(24b)、n形AlGaAs層(24a)、p形GaAs層(23a)、n形GaAs層(22a)、p形AlGaAs層(21b)、およびp形GaAs層(21a)を順次積層する。

積層された半導体層は、分離溝(50)により各発光素子Tに分離される。また、各発光素子Tのp形GaAs層(21a)およびp形AlGaAs層(21b)は、3つの島状にn形GaAs層(22a)上に残留する層、ゲート電極および一方向性結合素子作製のために一部削除される。該3つの島は、1つの大きな島と連続する2つの小さな島とされ、2つの小さな島は、発光素子アレイの長手方向に、島、島、谷、島、島、谷、島、島、谷と繰り返す様に配置される。ここで、島、島、谷は1つの発光素子に対応し、谷とは露出したn形GaAs層(22a)部分を示す。

また、一度発光するとリセット信号が加わるまで発光状態を維持する発光サイリスタ等の発光メモリ素子を発光素子として用い、次期走査信号によりリセットする構造とすれば、デューティをほぼ1とすることができ、長寿命化を実現できる。

#### 【実施例】

##### 実施例-1

第1実施例の概略を第1図、第2図に示す。第

次に基板上全体に絶縁被膜(30)を被覆する。

そして、該絶縁被膜(30)の、前記削除操作されたn形GaAs層(22a)上および3箇所のp形GaAs層(21a)上の位置に接続用コンタクトホールC<sub>1</sub>を開ける。

次に、該絶縁被膜(30)上に、各発光素子のn形GaAs層(22a)と隣接する発光素子のp形GaAs層(21a)とをコンタクトホールC<sub>1</sub>を用いて接続するT字型の電源電極およびゲート電極結合用金属薄膜配線(45)、発光素子の大きな島状p形GaAs層(21a)へコンタクトホールC<sub>1</sub>を介してクロックパルスをつたえる金属薄膜配線(44)、発光素子の残りの島状p形GaAs層(21a)へコンタクトホールC<sub>1</sub>を介して駆動電圧をつたえる金属薄膜配線(42)、をそれぞれ設ける。

次に該金属薄膜配線(45)上の一部に、ゲート電極—電源電極間の抵抗R<sub>1</sub>として使用する焼をドープした非晶質シリコン(163)を約1μmの厚さで被覆する。

該非晶質シリコン(163)は、各発光素子に対して

φ<sub>1</sub>、φ<sub>2</sub>の順番で繰り返しすように調整される。

上記実施例の構造では、転送素子、結合用ゲイオード、書き込み用発光素子の全てをp形GaAs層(21a)およびp形AlGaAs層(21b)のパターンニングのみで形成でき、製造工程は前記従来の発光素子製造工程とさほど変化ない。つまり構造が複雑化しているわりには、製造工程は複雑化していない。

上記発光装置の等価回路図を第3図に示す。第3図からも明らかな様に、上記実施例の発光装置は、転送素子T(-1)~T(2)、書き込み用発光素子L(-1)~L(2)からなる。転送素子部分の構成は前記従来例と全く同じであり、ここでは第9図で示したゲイオード接続を用いた例を示している。転送素子のゲート電極G<sub>-1</sub>~G<sub>1</sub>は書き込み用発光素子のゲートにも接続される。書き込み用発光素子のアノードには書き込み信号S<sub>in</sub>が加えられている。

以下に上記発光装置の動作を説明する。

転送素子回路の簡略化した構成断面図を第4図に示すが、転送素子部分は従来例と同様に動作す

1つつつになるよう分離される。

次に基板上全体に絶縁被膜(31)を被覆する。

そして、該絶縁被膜(31)の、前記非晶質シリコン(163)、金属薄膜配線(42)、および金属薄膜配線(44)の上の位置に接続用コンタクトホールC<sub>2</sub>を開ける。

次に、該絶縁被膜(31)上に、コンタクトホールC<sub>2</sub>を介して金属薄膜配線(44)(発光素子のアノード電極)へクロックパルスを送る書き込み信号ライン(S<sub>in</sub>)、コンタクトホールC<sub>2</sub>を介して金属薄膜配線(43)(非晶質シリコン(163)を介して走査回路素子のゲート電極に接続される)へ電源電圧をつたえる電源ライン(41)、コンタクトホールC<sub>2</sub>を介して金属薄膜配線(40)(走査回路素子のアノード電極)へクロックパルスを送るクロックラインφ<sub>1</sub>、φ<sub>2</sub>を設けた。

ここで、クロックライン結合用金属薄膜配線(40)上に設ける片側のコンタクト孔C<sub>2</sub>の位置は、各走査回路素子のアノード電極が、クロックラインφ<sub>1</sub>、φ<sub>2</sub>のいずれか1本に、長さ方向に向かって

る。いま転送素子T(0)がON状態にあるとするとゲート電極G<sub>0</sub>の電圧はV<sub>0</sub> (ここでは5Vと想定する)より低下し、ほぼ零Vとなる。従って書き込み信号S<sub>in</sub>の電圧がpn接合の逆電位(約1V)以上であれば、発光素子L(0)を発光状態とすることができる。これに対しゲート電極G<sub>-1</sub>は約5Vであり、ゲート電極G<sub>1</sub>は約1Vとなる。従って発光素子L(-1)の書き込み電圧は約6V、発光素子L(1)の書き込み電圧は約2Vとなる。これから発光素子L(0)のみに書き込める書き込み信号S<sub>in</sub>の電圧は1~2Vの範囲となる。発光素子L(0)がON、即ち発光状態に入ると書き込み信号S<sub>in</sub>ラインの電圧は約1Vに固定されてしまうので、他の発光素子が選択されてしまうというエラーは防ぐことができる。発光強度は書き込み信号S<sub>in</sub>に流す電流量で決められ、任意の強度にて画像書き込みが可能となる。また発光状態を次の素子に転送するためには書き込み信号S<sub>in</sub>ラインの電圧を一度零Vまでおとし、発光している素子をいったんOFFにしておく必要がある。

向ここでは、しきい電圧もしくはしきい電流が外部から制御可能な制御電極の結合方式として、ダイオード結合方式を用いているが、該接続方式は上記に限らず、第15図、第16図に示す様な抵抗ネットワークによる方式などの方法であっても良い。

また、上記例においては、抵抗(163)として非品質シリコンを用いているが、該抵抗は同様の抵抗率の物質であれば、任意の物が使用出来る。また、抵抗の構造も上記構造に限らず、発光素子作成のために積層した一部の層を抵抗層として採用する等任意の構造を使用出来る。

#### 実施例-2

本発明の第2の実施例を第5図および第6図を用いて以下に説明する。第5図は本実施例の発光素子の平面図を示し、第6図は等価回路図である。

まず、 $n$ 形GaAs基板(1)上に、 $n$ 形GaAs層(24b)、 $n$ 形AlGaAs層(24a)、 $p$ 形GaAs層(23a)、 $n$ 形GaAs層(22a)、 $p$ 形AlGaAs層(21b)、および $p$ 形GaAs層(21a)を順次積層する。

次に、該絶縁被膜(30)上に、各走査回路素子の $n$ 形GaAs層(22a)と隣接する走査回路素子の $p$ 形GaAs層(21a)とをコンタクトホール $C_1$ を用いて接続し、かつの電源電極およびゲート電極結合用T字型金属薄膜配線(45)、発光素子の3つの大きな島状 $p$ 形GaAs層(21a)へコンタクトホール $C_1$ を介してクロックパルスをつたえる金属薄膜配線(44)、発光素子の残りの島状 $p$ 形GaAs層(21a)へコンタクトホール $C_1$ を介して駆動電圧をつたえる金属薄膜配線(42)、をそれぞれ設ける。

次に該金属薄膜配線(45)上の一部に、ゲート電極-電源電極間の抵抗 $R_1$ として使用する焼をドープした非品質シリコン(163)を約 $1\mu m$ の厚さで被覆する。該非品質シリコン(163)は、各発光素子に対して1つづつになるよう分離される。

次に基板上全体に絶縁被膜(31)を被覆する。

そして、該絶縁被膜(31)の、前記非品質シリコン(163)、金属薄膜配線(42)、および金属薄膜配線(44)の上の位置に接続用コンタクトホール $C_2$ を開ける。

積層された半導体層は、分離溝(50)により各発光素子Tに分離される。また、各発光素子Tの $p$ 形GaAs層(21a)および $p$ 形AlGaAs層(21b)は、5つの島状に $n$ 形GaAs層(22a)上に残留する様、ゲート電極および一方向性結合素子作製のために一部削除される。該5つの島は、2つの小さな島と連続する3つの比較的大きな島とされ、3つの比較的大きな島は、発光素子アレイの長手方向に、並ぶ様に配置される。2つの小さな島は、発光素子アレイの長手方向に、島、島、谷、島、島、谷、島、島、谷と繰り返す様に配置される。ここで、1つの比較的大きな島は1つの発光素子に対応し、島、島、谷は3つの発光素子に結合された1つの走査回路素子に対応し、谷とは露出した $n$ 形GaAs層(22a)のゲート電極部分を示す。

次に基板上全体に絶縁被膜(30)を被覆する。

そして、該絶縁被膜(30)の、前記削除操作された $n$ 形GaAs層(22a)上および5箇所の $p$ 形GaAs層(21a)上の位置に接続用コンタクトホール $C_1$ を開ける。

次に、該絶縁被膜(31)上に、コンタクトホール $C_2$ を介して金属薄膜配線(44)(発光素子のアノード電極)へクロックパルスをつたえる書き込みライン( $S_{1m}$ ,  $S_{1n}$ ,  $S_{1ns}$ )、コンタクトホール $C_2$ (非品質シリコン(163))を介して金属薄膜配線(43)(走査回路素子のゲート電極に接続)へ電源電圧をつたえる電源ライン(41)、コンタクトホール $C_2$ を介して金属薄膜配線(40)(走査回路素子のアノード電極)へクロックパルスをつたえるクロックライン $\phi_1$ ,  $\phi_2$ , を設けた。

ここで、クロックライン結合用金属薄膜配線(40b)上に設ける片側のコンタクト孔 $C_2$ の位置は、各走査回路素子のアノード電極が、クロックライン $S_{1m}$ ,  $S_{1n}$ ,  $S_{1ns}$ のいずれか1本に、長さ方向に向かって $S_{1m}$ ,  $S_{1n}$ ,  $S_{1ns}$ の順番で繰り返すように調整される。

第6図は上記実施例の等価回路図であるが、上記回路が第1の実施例と異なるのは、発光素子を3つづつのブロックとし、1ブロック内の発光素子は1つの走査回路素子によって制御し、かつ



1ブロック内の発光素子にそれぞれ別々のクロックラインを接続して、発光素子の発光を制御した点である。図中、発光素子 $Li(-1)$ 、 $Li(-1)$ 、 $Li(-1)$ 、発光素子 $Li(0)$ 、 $Li(0)$ 、 $Li(0)$ 、発光素子 $Li(1)$ 、 $Li(1)$ 、 $Li(1)$ 等がブロック化された発光素子を示している。

動作は第1の実施例と同じで、1素子づつ $Sin$ によって発光が書き込まれていたものが、同時に複数書き込まれ発光し、それがブロックごとに転送するようになったものである。

いま、LEDプリンタ等の一般的に知られる光プリンタ用の光源として上記自己走査型発光装置を用いることを考えると、A4の短辺(約21cm)相当のプリントを16ドット/mmの解像度で印字するためには約3400ビットの発光素子が必要になる。

上記実施例-1にて説明してきた発光装置では発光しているポイントは常に一つで、上記場合ではこの強度を変化させて画像を書き込むことになる。これを用いて光プリンタを形成すると、通常

使用されている光プリンタ用LEDアレイ(これは画像を書き込むポイントに位置するLEDが同時に発光するよう駆動ICによって制御されている)に比べ、画像書き込み時に3400倍の輝度が必要となり、発光効率が同じならば3400倍の電流を流す必要がある。但し発光時間は逆に通常のLEDアレイに比べ $1/3400$ となる。しかし発光素子は一般的に電流が増えると加速度的に寿命が短くなる傾向があり、いくらデューティが $1/3400$ とはいえ従来のLEDプリンタに比べ、寿命が短くなってしまうという問題点を持っていた。

しかしながら本実施例によると、ビット総数が同じ条件で比較すると、この例ではブロックに3素子入っているため、従来の方式に比べ1素子の発光時間は3倍となる。従って、ON素子に流す電流は $1/3$ でよく、従来例に比べ長寿命化することが可能である。

上記例では、1ブロックに3素子含まれる場合を例示したが、この素子数が大きいほうが書き込

み電流が小さくて済み、さらに長寿命化をはかることができる。

### 実施例-3

以下に、デューティをさらに向上することが出来る発光装置の例を第7図、第8図、第9図、第10図を用いて説明する。第7図は本実施例の発光装置の断面図で、第8図は該ブロック構成図、第9図は同等価回路図、第10図は同等価回路のPNイメージ図である。

本実施例のブロック構成図を第8図に示す。発光素子アレイはシフトレジスタ(200)、書き込みスイッチアレイ(201)部分、リセットスイッチアレイ(202)、発光メモリ素子アレイ(203)から構成される。各々のアレイはNケの素子からなっており、その番号を(1)~(N)とする。

シフトレジスタ(200)は電源:  $V_{cc}$ 、複数の転送パルス:  $\phi$ 、及びスタートパルス:  $\phi_s$ により駆動され、ON状態が転送(自己走査)される。転送方向は、ここでは左から右、即ち(1)から

(N)としてある。

書き込みスイッチアレイ(201)は、画像信号:  $V_{in}$ を発光メモリ素子アレイ(203)に書き込むスイッチであり、シフトレジスタ(200)に同期する。つまり、時刻tにON状態であるシフトレジスタ(200)に対応する発光メモリ素子アレイ(203)のビットに、画像信号:  $V_{in}(t)$ を書き込む働きを有する。

この画像信号:  $V_{in}$ の書き込みは、本実施例では各ビットとも同じ番号内で行われる様になっている。一度書き込まれた発光情報は発光メモリ素子アレイ(203)に保持される。

一方、シフトレジスタ(200)は同時にリセットスイッチアレイ(202)もアドレスするよう構成されている。但し番号(1)のシフトレジスタ出力は番号(2)のリセットスイッチに、番号(2)のシフトレジスタ出力は番号(3)のリセットスイッチに、等、1ビット転送方向へ進んだ素子に接続されている。このリセットスイッチがアドレスされると発光メモリ素子はリセットさ

れる。即ち、シフトレジスタがONすると、該シフトレジスタより1ビット転送方向へ進んだ発光メモリ素子は、発光状態、非発光状態に関わらず、一旦非発光状態(OFF状態)に戻される。

このような構成になっていれば、画像信号の時間変化が発光メモリ素子の位置変化として書き込まれ、発光メモリ素子に画像情報が書き込まれて発光による画像パターンが構成される。そして次の画像信号を書き込む際、リセットスイッチにより書き込まれた画像情報は消去され、そのすぐ後に新たな画像情報が書き込まれる。

このため、発光素子はほぼ常時点灯に近い状態となり、デューティはほぼ1となる。

ここではシフトレジスタ(200)を一つのみ設け、この出力を画像信号書き込み及びリセットの両方に用いるよう構成したが、シフトレジスタを二つ設け、それぞれ画像信号書き込み用及びリセット用として用いても良い。

本実施例等価回路図を第9図に示す。この実施例は第8図に示した構成の機能を果たすよう作られ

メモリ機能として利用する。

この等価回路図の動作を第11図に示すパルスタイミング図を用いて説明する。第11図に於て、 $T1 \sim T5$ は時刻を表す。転送クロックは $\phi 1 \sim \phi 3$ であり、 $\phi 1$ は $T1 \sim T2$ 及び $T4 \sim T5$ の間、 $\phi 2$ は $T2 \sim T3$ の間、 $\phi 3$ は $T3 \sim T4$ の間がハイレベルとなっている。シフトレジスタ出力 $V_o(1) \sim V_o(3)$ はそれぞれ $\phi 1 \sim \phi 3$ に同期して取り出され、出力はローレベルとして与えられる。画像信号 $V_i$ は時刻 $T2 \sim T3$ にハイレベルとなり、ビット番号(2)の発光素子に書き込む。

今時刻 $T1 \sim T2$ の間を考える。このときシフトレジスタの出力として、出力 $V_o(1)$ がローレベルとして取り出される。この出力 $V_o(1)$ は書き込みスイッチであるトランジスタ $T_{r3}(1)$ のベースに接続され、トランジスタ $T_{r3}(1)$ を書き込み可能状態にする。しかしここで画像信号 $V_i$ はローレベルであるから発光メモリ素子への書き込みは行われない。一方出力 $V_o(1)$ は同時にリセットスイッチであるトランジスタ $T_{r4}(2)$ のベースにも印加さ

たものである。

シフトレジスタ(200)は従来例にて示した先の発明(特願昭63-85392)と同じ構成である。サイリスタはトランジスタ $T_{r1}$ 、 $T_{r2}$ で構成され、そのゲート部が抵抗 $R_1$ 、 $R_2$ を介して隣接するサイリスタ及び電源 $V_1$ に接続される。このシフトレジスタの出力はゲート部から取り出され、出力電圧 $V_o(1) \sim V_o(3)$ と表示されている。 $(1) \sim (3)$ は各ビットの番号である。図中、クロックラインの電流を制限する抵抗は、抵抗 $R_c$ で表している。

書き込みスイッチとしてPNPトランジスタ $T_{r3}(1) \sim T_{r3}(3)$ を用い、リセットスイッチとしてNPNトランジスタ $T_{r4}(1) \sim T_{r4}(3)$ を用いている。抵抗 $R_c$ は発光メモリ素子に流れる電流を制限する抵抗である。また発光メモリ素子としてトランジスタ $T_{r5}$ 、 $T_{r6}$ の組合せで表示される発光サイリスタを用いている。この発光サイリスタの特性として一度ONしてしまうと電源を落とすまでONし続けるという特徴を持ち、これを発光の

れる。この出力 $V_o(1)$ は零ボルト程度まで下がるためトランジスタ $T_{r4}(2)$ のエミッタ電圧もほぼ零ボルトとなり発光メモリ素子をOFF状態にしてしまう。従って、ビット番号(2)の発光メモリ素子はリセットされたことになる。

次に時刻 $T2 \sim T3$ の間を考える。シフトレジスタ出力は $V_o(2)$ であり、これが $T_{r3}(2)$ のベースに印加される。ここで画像信号 $V_i$ はハイレベルであるからトランジスタ $T_{r3}(2)$ に電流が流れ、発光メモリに流れ込む。この電流はトランジスタ $T_{r6}(2)$ のベース電流となりこれがビット番号(2)の発光メモリ素子をONさせる。この発光は次のリセット信号まで維持される。この時、ビット番号(3)の発光メモリ素子は $V_o(2)$ によりリセットされる。

発光メモリ素子に流れる電流は抵抗 $R_c$ によって制限され、デューティが大きくなったため少ない電流で良く、高信頼度の発光装置を得ることができ

る。本実施例では転送クロックパルスが3相の場合

で動作を説明したが、3相以上であってももちろん動作する。さらに発光素子を一列に並べた例を示したが、配列を直線にする必要はなく、応用によって蛇行させてもよいし、途中から二列以上に増やすことも可能である。またこの説明では発光サイリスタに限定して説明したが同様な機能を持つデバイスであればこれに限られず何であっても良く、発光素子としてレーザサイリスタであってもよい。この駆動方法は発光素子を単体部品で構成してもよく、また次の実施例で示すようになんらかの方法により集積化してもよい。

第7図では第9図で示した等価回路を集積化して作成する場合を示す。第10図に第9図の等価回路をP、Nイメージで書き直した図を示す。シフトレジスタの各ビットはPNPNの4層構成で表され、発光メモリ素子も同様にPNPN構成で表される。シフトレジスタのPNPNの各ビットをTs(1)~Ts(4)と表し、発光メモリ素子の各ビットをTL(1)~TL(4)と表す。この構成を半導体基板上に作成した例を第7図に示す。

れる。リセットスイッチ: Tr4(2)は(22)(23)(24)から構成され、不要な(21)は(22)と接続されている。(23)は書き込みスイッチTr3(1)のベース(21)と接続される。

第7図に示した構造を用いると、上述の機能を完全に果たす事が可能となる。

なお上記実施例では半導体としてGaAsを用いた例を示したが、他の半導体であっても良い。また半導体の積層の仕方を上部からPNPNとしたが、逆にNPNPとしても動作電圧、クロックパルスが反転するだけで同様に動作する。

またここではシフトレジスタ部分としてPNPNのサイリスタ構成を例に説明したが、この電位を検知し、しきい電圧が低下し、これを利用して転送動作を行わせるという構成は、PNPN構成のみに限られず、その機能が達成できる素子であれば特に限定されない。例えば、PNPN4層構成でなく、6層以上の構成でも同様な効果を期待でき、まったく同様なシフトレジスタ機能を達成することが可能である。さらには静電誘導(SI)

第7図はビット番号(2)についてその断面図を示したものである。半絶縁性GaAs基板(1)上に、N形GaAs層(24)、P形GaAs層(23)、N形GaAs層(22)、P形GaAs層(21)を順次積層した構造となっている。各半導体層は絶縁膜(30)により分離され、それぞれ機能を有する素子に分割され、金属電極(43)により電気的に接続される。抵抗R1、R2はN形GaAs層(22)で形成される抵抗素子であり、その端は電源V1に接続される。シフトレジスタ: Ts(2)は(21)(22)(23)(24)の4層から構成される。書き込みスイッチ: Tr3(2)は(21)(22)(23)から構成され、不要な(24)を(23)に接続し、(24)の効果を消している。発光メモリ素子: TL(2)は(21)(22)(23)(24)の4層から構成され、書き込みスイッチTr3(2)の(23)(24)がシフトレジスタTL(2)の(23)と接続される。これが発光メモリ素子の書き込み電極となる。抵抗Rcも抵抗R1、R2と同じくN形GaAs層(22)で形成さ

サイリスタまたは電界制御サイリスタ(FCT)と呼ばれるサイリスタを用いてもまったく同様であり、本発明に含まれるものである。

発光メモリ素子についてもPNPN構成に限られるものでなく、6層以上の構成でも同様な効果を期待でき、さらには静電誘導(SI)サイリスタまたは電界制御サイリスタ(FCT)と呼ばれるサイリスタを用いてもまったく同様な発光メモリ機能を実現することができる。

尚、以上述べてきた本発明の一連の実施例は基板として半導体基板を用い、その電位を零ボルト(接地)とした例を示してきたが、本発明はこれに限られず基板として他の物質を用いてもよい。もっとも近い例でいえばクロム(Cr)等をドープした半絶縁性GaAs基板上に実施例のn形GaAs基板に相当するn形GaAs層を形成し、この上に実施例で説明した構造を形成してもよい。また例えばガラス、アルミナ等の絶縁基板上に半導体膜を形成し、この半導体を用いて実施例の構造を形成してもよい。

この自己走査型発光装置は、光プリンタの書き込みヘッド、ディスプレイ等への応用が考えられ、これらの機器の低価格化、高性能化に大きな寄与をすることができる。

【発明の効果】

以上述べてきたように、本発明ではバイアス光の原因となるON状態転送を行う「転送素子」と画像書き込みを行う「書き込み用発光素子」とを分離したため、転送素子によるバイアス光は上部に光遮層を設けることにより画像書き込みに影響の出ないようにすることが出来る。このためバイアス光の影響は殆どなくなり、プリンタ等の品位を向上させることができる。

また画像の書き込み信号を、転送クロックラインにでなく、書き込み発光素子に直接入力できるため駆動回路が簡単となる。

さらには発光素子のブロックを形成し、ブロック内素子を別々に書き込むことにより、書き込み時の電流を少なくでき、発光素子の寿命を高めることができる。

等価回路図および断面構造図、第18図は先の発光素子アレイの駆動方法を示すパルスタイミング図、第19図は従来の発光素子の電流電圧特性図、第20図は従来の3端子型発光素子の構造を示す概略断面図である。

また、発光メモリ素子アレイを用いることにより、デューティがほぼ1の発光調度を、簡単な製造工程にて製造でき、ワイヤボンディングの数の問題、駆動ICの問題、コンパクト化、短ピッチ化等の種々の問題を解決するものである。

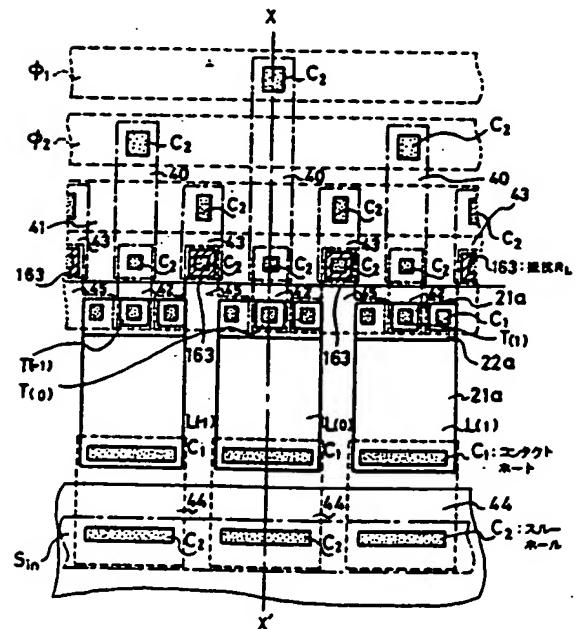
また本発明は光プリンタ、ディスプレイ等へ応用でき、これらの機器の性能向上、低価格化に大きく寄与することができる。

4. 図面の簡単な説明

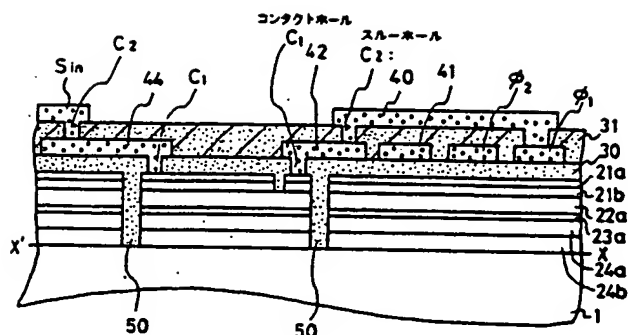
第1図は本発明の第1の実施例を示す平面図、第2図は同断面図、第3図は同等価回路図、第4図は、第5図は本発明の第2の実施例を示す平面図、第6図は同等価回路図、第7図は本発明の第3の実施例を示す断面図、第8図はブロック構成図、第9図は同等価回路図、第10図は同等価回路のPNイメージ図、第11図は駆動方法を示すパルスタイミング図、第12図は先の出願の発光素子アレイの構造を示す平面図、第13図および第14図は同断面図、第15図は同等価回路図、第16図および第17図は別の発光素子アレイの

特許出願人 日本電産株式会社

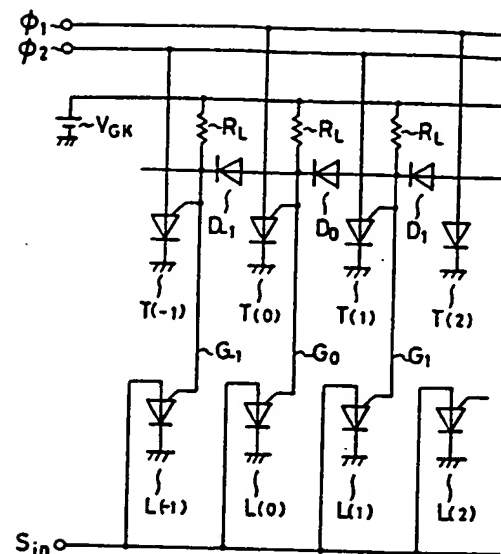
代理人 弁理士 大野 楠 市



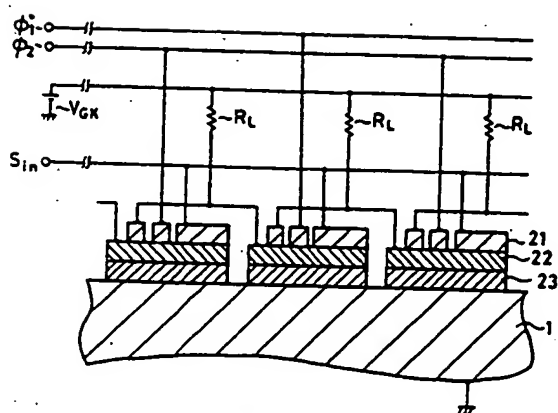
第1図



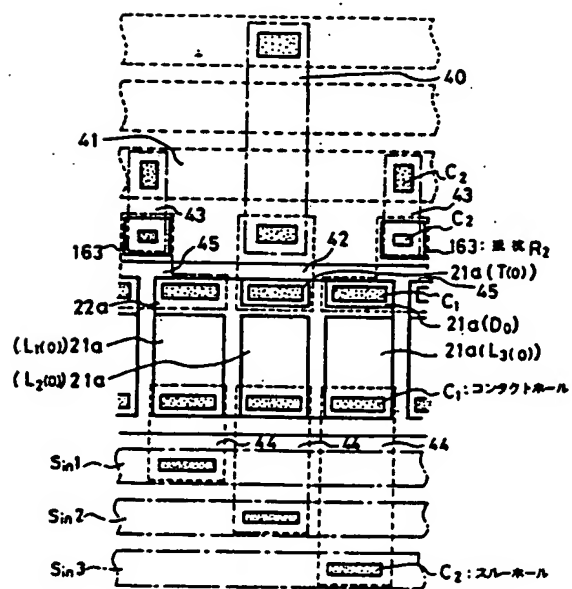
## 第 2 圖



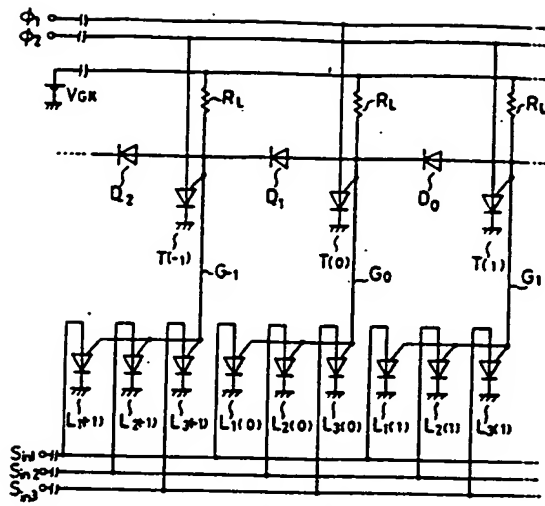
第 3 圖



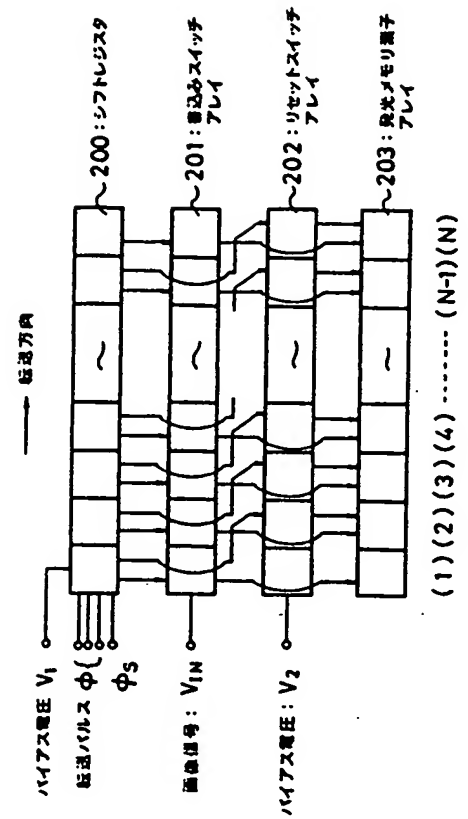
第 4 圖



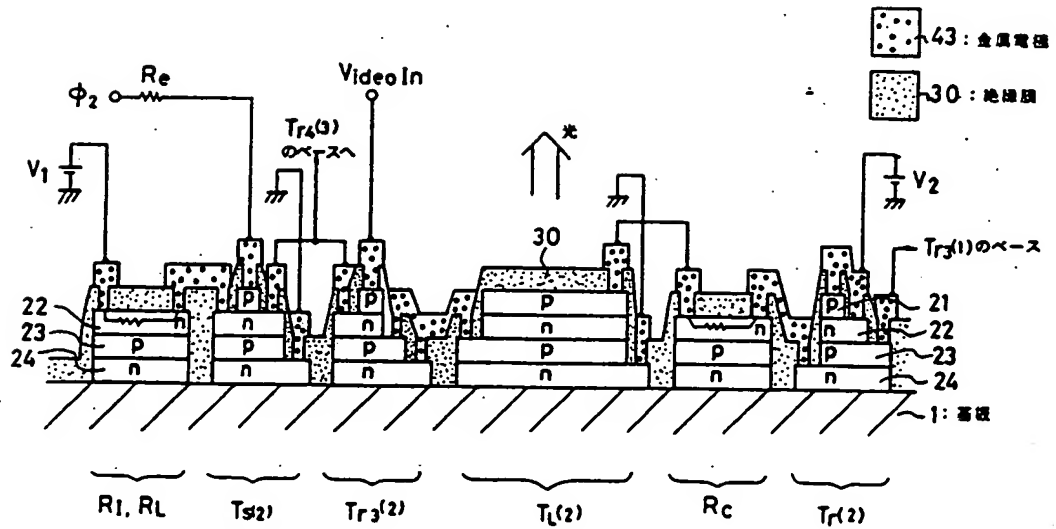
## 第 5 回



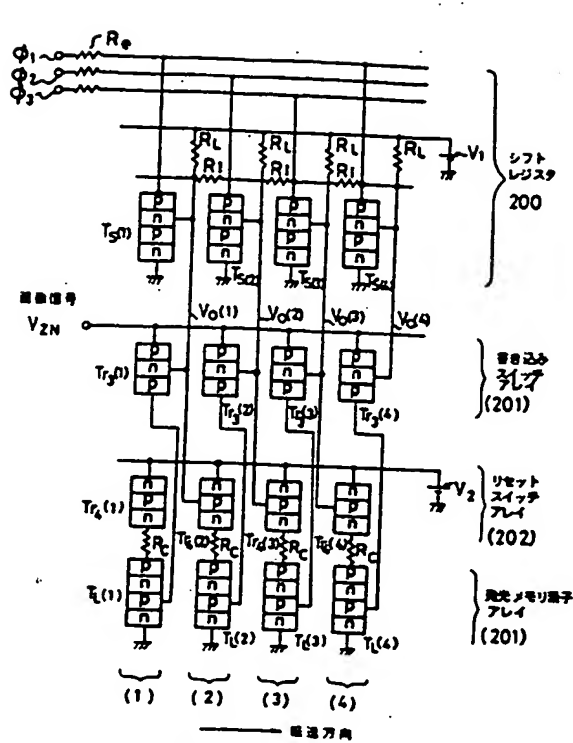
第 6 図



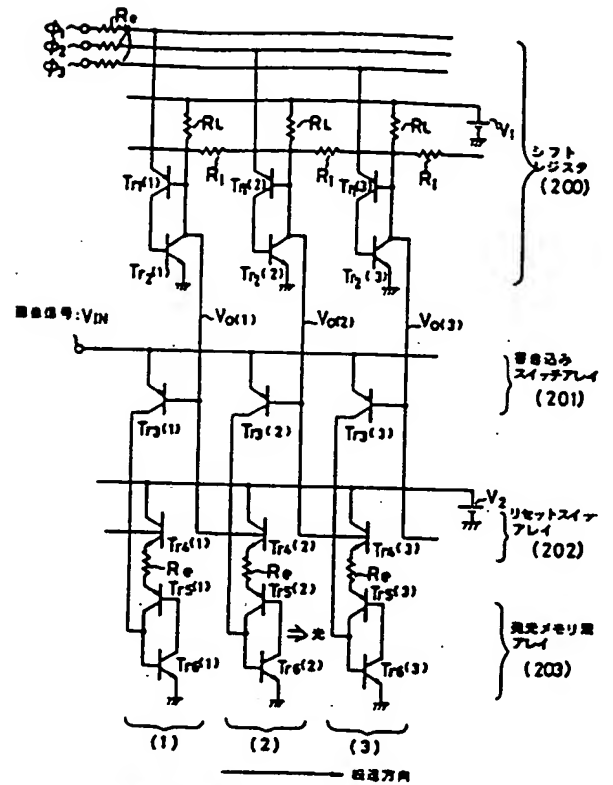
第 8 図



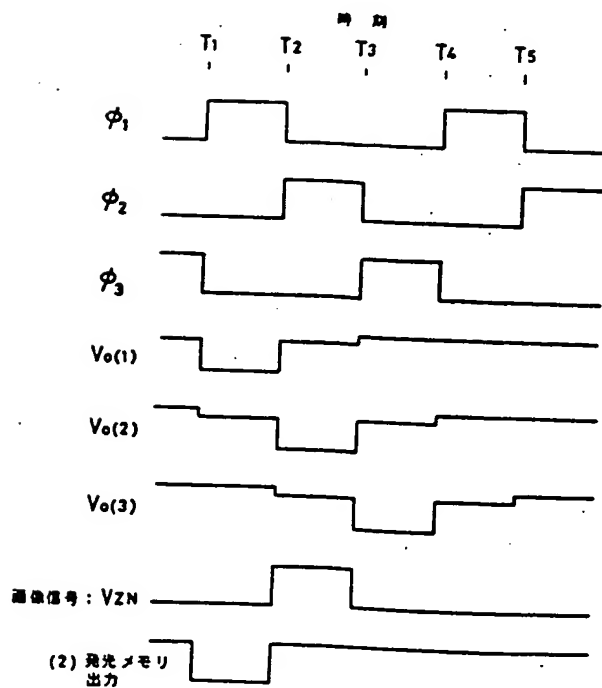
第 7 図



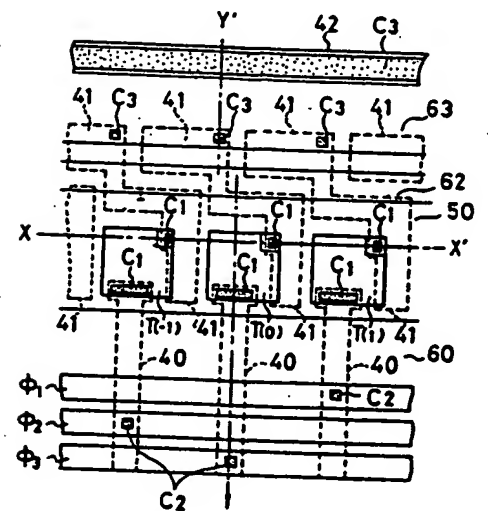
第 9 図



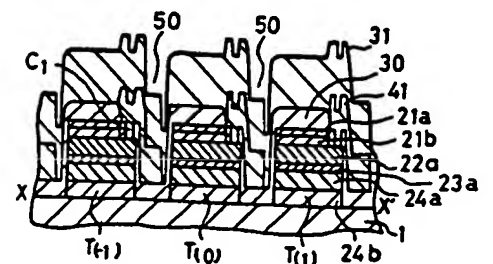
第 10 図



第 11 図



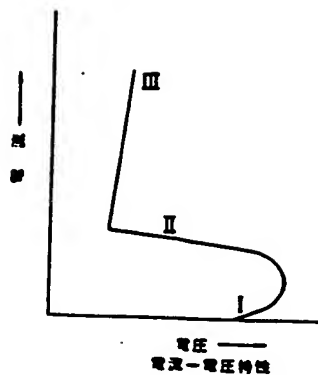
第 12 図



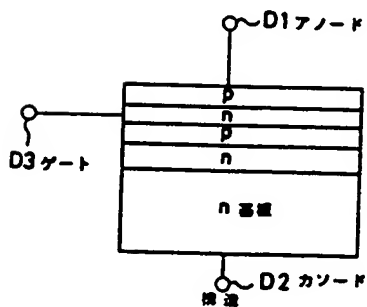
第 13 図







第 19 図



第 20 図

第 1 頁の続き

⑤Int. Cl. 3

H 01 L 27/10  
27/15  
33/00

識別記号

4 5 1

庁内整理番号

8624-5F  
7733-5F  
7733-5F

J

⑦発 明 者 田 中 修 平

大阪府大阪市中央区道修町 3 丁目 5 番 11 号 日本板硝子株式会社内